

[illegible]

Priority number(s): JP19960246552 19960918

—



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93868

(43) 公開日 平成10年(1998) 4月10日

(51) IntCl.⁶

識別記号

F I

H 0 4 N 5/335

H 0 4 N 5/335

P

H 0 1 L 27/146

H 0 1 L 27/14

A

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21) 出願番号 特願平8-246552

(22) 出願日 平成8年(1996) 9月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 亮司

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

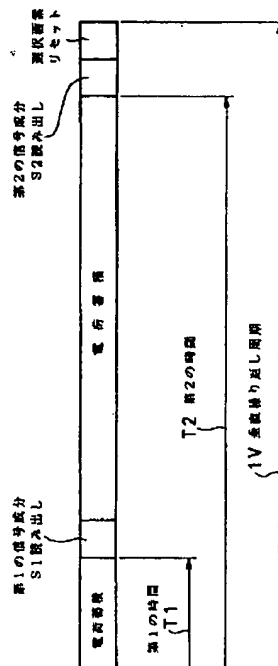
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像素子及びその駆動方法

(57) 【要約】

【課題】 画素毎の特性のバラツキに起因する信号の不均一性を低減することにより、画像の良好な固体撮像素子及びその駆動方法を提供する。

【解決手段】 第1の時間T1受光蓄積した後に、第1の信号成分S1を読み出し、画素をリセットせずに、さらに第2の時間T2受光検出した後に、第2の信号成分S2を読み出す構成とする。



【特許請求の範囲】

【請求項1】 第1の時間受光蓄積した後に、第1の信号成分を読み出す手段と、

画素をリセットせずに、さらに第2の時間受光蓄積した後に、第2の信号成分を読み出す手段を有して成ることを特徴とする固体撮像素子。

【請求項2】 上記第1の信号成分と、上記第2の信号成分との差分を出力する作動手段を有することを特徴とする請求項1に記載の固体撮像素子。

【請求項3】 第1の時間受光蓄積した後に、第1の信号成分を読み出し、

画素をリセットせずに、さらに第2の時間受光検出した後に、第2の信号成分を読み出すことを特徴とする固体撮像素子の駆動方法。

【請求項4】 上記第1の信号成分と、上記第2の信号成分との差分をとることを特徴とする請求項3に記載の固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば増幅型等の固体撮像素子及びその駆動方法に係わる。

【0002】

【従来の技術】近年、固体撮像素子の高解像度化の要求に従って、CCD固体撮像素子に代わって、スミアが無く、微細画素の実現が可能である増幅型固体撮像素子が開発されている。この増幅型固体撮像素子は、画素それぞれに光信号の増幅作用を持たせるために、能動素子（例えばMOS型トランジスタ）で画素を形成し、画素に光電変換により蓄積された電荷をトランジスタの電流変調として信号を読み出すように構成される。

【0003】

【発明が解決しようとする課題】このように、増幅型固体撮像素子は、能動素子（例えばMOSトランジスタ）で画素を構成しているため、能動素子のバラツキがそのまま映像信号に乗ってしまう。このバラツキは、画素それぞれに固定の値を持つため撮像画での固定パターンノイズとして現れる。この固定パターンノイズは、入射光に対する感度のバラツキではなく、画素のしきい値のバラツキが入射光に応じた信号量に加算される性質のものである。

【0004】そこで、信号出力とノイズ出力との差をとり、この差を出力とすることにより、画素トランジスタ原因で発生する固定パターンノイズを取り除いている。

【0005】即ち、図9の動作フェーズに示すように、垂直繰り返し周期Vにおいて、信号電荷を蓄積した電荷蓄積期間の後、信号電荷を読み出し、次いで画素に蓄積されている電荷を全てリセットした後、その画素リセット後の信号、即ちノイズ成分を読み出す。そして、信号成分とノイズ成分との差を出力するようにしている。この読み出し方式では、画素に全く電荷が蓄積されてい

ない状態、すなわち蓄積時間0でノイズ読み出しを行うために、入出力特性の低照度部分に画素毎に異なる特性のバラツキがあった場合に、差分を取ってノイズをキャンセルした後でもこのバラツキ成分は残り、画面上で、ざらつきとなって現れていた。

【0006】この問題を図10を用いて詳しく説明する。

【0007】画素Aと画素Bの2つの画素があり、図10Aに信号出力と蓄積時間との関係を示すように、画素Aはある程度のノイズ成分があり、信号出力が電荷の蓄積時間の増加に比例して増加する特性を有し、一方画素Bはノイズ成分がほとんど微小であるが、蓄積時間の小さい内は信号出力の立ち上がりが鈍くリニアリティーが悪く、その後、信号出力が蓄積時間に対して一定割合で増加する特性を有するとする。

【0008】この場合、画素Bの信号出力-蓄積時間の特性が蓄積時間の短い領域、すなわち前述の低照度部分では、信号出力の立ち上がりが鈍い、いわゆる猫足状態であるために、信号出力とノイズ成分との差分をとってノイズをキャンセルしても、図10Bに示すように、画素Aと画素Bの間にノイズキャンセル後の出力信号にバラツキ成分が現れる。

【0009】上述した問題の解決のために、本発明においては、画素毎の特性のバラツキに起因する信号の不均一性を低減し、良好な画像の得られる固体撮像素子及びその駆動方法を提供するものである。

【0010】

【課題を解決するための手段】本発明は、第1の時間受光蓄積した後に、第1の信号成分を読み出し、画素をリセットせずに、さらに第2の時間受光検出した後に、第2の信号成分を読み出すようにする。

【0011】上述の本発明によれば、蓄積時間の異なる第1の信号成分と第2の信号成分とをそれぞれ読み出すことにより、例えばその第1及び第2の信号成分の差分を出力信号とすれば、画素毎にある特性のバラツキの影響を除去することができ、良好な画像が得られる。尚、第1及び第2の信号成分を加算すれば、高ダイナミックレンジが得られる。

【0012】

【発明の実施の形態】本発明の固体撮像素子は、第1の時間受光蓄積した後に、第1の信号成分を読み出す手段と、画素をリセットせずに、さらに第2の時間受光蓄積した後に、第2の信号成分を読み出す手段を有した構成とする。

【0013】また、本発明は、上記固体撮像素子において、第1の信号成分と、第2の信号成分との差分を出力する作動手段を有する構成とする。

【0014】本発明の固体撮像素子の駆動方法は、第1の時間受光蓄積した後に、第1の信号成分を読み出し、画素をリセットせずに、さらに第2の時間受光検出した

後に、第2の信号成分を読み出すものとする。

【0015】また、本発明は、上記固体撮像素子の駆動方法において、第1の信号成分と、第2の信号成分との差分をとる。

【0016】以下、図面を参照して本発明の固体撮像素子及びその駆動方法の実施例を説明する。

【0017】本実施例の基本は、図1の動作フェーズに示すように、1垂直繰返し周期Vにおいて、第1の時間T1、例えば通常の蓄積時間の1/10の時間受光し、信号電荷の蓄積がなされた後に、第1の信号成分S1の電荷を読み出し、そのまま画素をリセットせずに、さらに第2の時間T2受光し、信号電荷を蓄積し続けた後に第2の信号成分S2の電荷を読み出す。第2の信号成分S2の電荷を読み出した後に、画素がリセットされる。

【0018】このような過程を経ることにより、入出力特性の低照度部分に、前述のように画素の特性のバラツキがあった場合にも、第1の信号成分側の蓄積時間、即ち第1の時間T1として、これらの特性が一定でない低照度部分を越える時間を設定して、第2の信号成分S2と第1の信号成分S1との差分信号をとることによって、このような特性のバラツキもキャンセルすることができる。

【0019】図2に、前出の図10と同様の特性の異なる2つの画素、即ち画素Aと画素Bについて、本実施例における、第1の信号成分S1及び第2の信号成分S2を読み出した場合の出力信号について示す。

【0020】図2Aは、蓄積時間—信号出力の関係図、図2Bは、画素Aと画素Bで差分信号を比較した図である。

【0021】画素Aと画素Bとで特性に違いがある低照度部分を越える時間に設定した第1の時間T1経過後に第1の信号成分S1を読み出し、その後第2の時間T2経過後に第2の信号成分S2を読み出し、これらの信号の差分信号をとる。

【0022】第1の時間T1と第2の時間T2との間は画素の特性がほぼ一定であるので、差分信号をとることにより、図2Bに示すように、画素A及び画素Bの出力信号のバラツキをなくすることができる。

【0023】この動作を、整理すると次のようになる。

【0024】1) まず、画素のトランジスタの特性のバラツキがある低照度の部分を越える時間に設定した第1の時間T1の受光蓄積の後に、第1の信号成分S1の電荷を読み出す。

【0025】2) 増幅型固体撮像素子では、電荷を非破壊で読み出すことができるので、第1の信号成分S1の電荷を読み出した後、画素をリセットしないで、引き続き受光蓄積を行い、第1の信号成分S1の電荷に、さらに所定の第2の時間T2の受光蓄積の電荷を加える。

【0026】3) 第2の時間T2の経過後、第2の信号

成分S2の電荷を読み出す。

【0027】この際に、第2の信号成分S2の電荷は、第1の信号成分S1に加える形で蓄積しているので、第1の信号成分S1の電荷より大きくなる。

【0028】4) 画素をリセットして、次の蓄積を開始する。

【0029】このようにして、第1の信号成分S1及び第2の信号成分S2を読み出す。

【0030】そして、第1の信号成分S1と、第2の信号成分S2との差分を出力信号とする。

【0031】図3は、本実施例に係る増幅型固体撮像素子10の回路構成を示す。即ち、これは、同じ画素に対して第1の時間T1受光蓄積した第1の信号成分S1と、さらに、これに加算して第2の時間T2受光蓄積した第2の信号成分S2とを、共に読み出すことを可能にする回路構成の一例である。

【0032】ただし、この図3は1画素に対応した回路構成である。

【0033】この図3の回路構成は、複数の単位画素(セル)を構成する受光素子、即ち画素MOSTランジスタ11が行列状に配列され、各画素MOSTランジスタ11のゲートがシフトレジスタなどから構成される垂直走査回路12からの垂直走査信号(即ち垂直選択パルス) $\phi V[\phi V_1, \phi V_i, \phi V_{i+1}, \dots]$ にて選択される垂直選択線13に接続され、そのドレインが電源 V_{DD} に接続され、その各列毎のソースが垂直信号線14に接続される。

【0034】垂直信号線14には、両側にそれぞれ対称的に例えばMOSTランジスタからなる動作MOSスイッチ15(15a, 15b)を介して信号電圧(電荷)を保持する負荷容量素子16(16a, 16b)が接続される。負荷容量素子16は垂直信号線14と接地電位との間に接続される。動作MOSスイッチ15のゲートには動作パルス ϕ_{OPS} (ϕ_{OPS1}, ϕ_{OPS2})が印加される。

【0035】画素MOSTランジスタ11のソースと動作MOSスイッチ15間の垂直信号線14には、負荷容量素子16のリセットと、垂直信号線14のリセット即ち画素MOSTランジスタ11のソース側寄生容量の充電を兼ねる例えばMOSTランジスタからなるリセットMOSスイッチ17を介してリセットバイアス電圧 V_{RB} を供給するためのリセットバイアス電圧供給端子18に接続される。リセットMOSスイッチ17のゲートにはリセットパルス ϕ_{RST} が供給されるようになされる。また、この例では、電源 V_{DD} と画素MOSTランジスタ11のドレインとの間にスイッチ(例えばMOSスイッチ)31が接続されると共に、リセットバイアス電圧供給端子18と画素MOSTランジスタ11のドレインとの間にスイッチ(例えばMOSスイッチ)32が接続される。

【0036】19(19a, 19b)は水平シフトレジスタであり、この水平シフトレジスタ19は、水平信号線20(20a, 20b)に接続された、例えばMOSトランジスタからなる水平MOSスイッチ21(21a, 21b)のゲートへ順次水平走査信号(即ち水平走査パルス) $\phi H[\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots]$ が供給される。水平信号線20の出力端には、図示しないが出力回路(例えば電荷検出回路)が接続される。ここで、第1の水平シフトレジスタ19aと第1の水平信号線20aと第1の水平MOSスイッチ21aと第1の負荷容量素子16aと第1の動作MOSスイッチ15aとリセットMOSスイッチ17により、第1の水平走査回路34aが構成され、第2の水平シフトレジスタ19bと第2の水平信号線20bと第2の水平MOSスイッチ21bと第2の負荷容量素子16bと第2の動作MOSスイッチ15bとリセットMOSスイッチ17により、第2の水平走査回路34bが構成される。

【0037】そして、本例においては、第1の信号成分S1の読み出しに、第1の動作MOSスイッチ15a、第1の負荷容量素子16a、第1の動作パルス ϕ_{OPS1} 、第1の水平シフトレジスタ19a、第1の水平信号線20a、第1の水平MOSスイッチ21aを使用し、第2の信号成分S2の読み出しに、第2の動作MOSスイッチ15b、第2の負荷容量素子16b、第2の動作パルス ϕ_{OPS2} 、第2の水平シフトレジスタ19b、第2の水平信号線20b、第2の水平MOSスイッチ21bを使用する。

【0038】図4は、単位画素としての受光素子、即ち画素MOSTランジスタ11の半導体構造を示す断面図である。

【0039】尚、pチャネルの場合も同様にして固体撮像素子を構成することができる。

【0040】この画素MOSTランジスタ11は、第1導電型例えばp型のシリコン半導体基板4上にオーバーフローバリア領域となる第2導電型例えばn型の半導体領域5及びp型の半導体領域6が順次形成され、このp型半導体領域6の表面に、これより濃度の高いp型半導体領域からなる、いわゆるセンサ領域8が形成される。更に、センサ領域8上に例えば SiO_2 などによるゲート絶縁膜9を介して光を透過しうるリング状のゲート電極1が形成され、そのリング状のゲート電極1の内側及び外側に対応する位置にそれぞれn型のソース領域2及びドレイン領域3が形成され、また、ドレイン領域3の直下のp型半導体領域6に、ゲート下に蓄積された信号電荷が隣接画素へ漏れ出ないようにするためのn型のチャネルストップ領域7が形成されて成る。

【0041】この画素MOSTランジスタ11が、図示しないが複数個マトリックス状に配列されて増幅型固体撮像素子10が構成される。

【0042】この画素MOSTランジスタ11では、図

4に示すように、リング状のゲート電極1を透過した光Lがシリコン半導体中で光電変換して、電子・ホールペアを発生し、このうちの一方の電荷、この例ではホールhが信号電荷としてゲート電極1下のp型センサ領域8に形成されたポテンシャルウェルに蓄積される。この電荷(ホール)hによる基板バイアスの変調を信号として取り出すようにしている。即ち、垂直選択線を通してゲート電極1に高レベル電位が印加されて画素MOSTランジスタ11がオンすると、チャネル電流(いわゆるドレイン電流)がセンサ領域8の表面のチャネルに流れ、このチャネル電流が信号電荷hによって変調を受けるので、このチャネル電流をソース領域2に接続された垂直信号線を通して出力し、その変化量を信号出力とするものである。

【0043】さらに、図3に示した回路構成の増幅型固体撮像素子の概略構成(ブロック図)を、図5に示す。

【0044】画素領域30に、それぞれ垂直走査回路12、第1の信号成分S1用の第1の水平走査回路34a及び第2の信号成分S2用の第2の水平走査回路34bが接続される。

【0045】垂直走査回路12には、垂直走査パルス(垂直クロック) ϕV 、第1の信号成分S1の読みとり用の第1のスタートパルス $\phi VS1$ 、及び第2の信号成分S2の読みとり用の第2のスタートパルス $\phi VS2$ が印加される。

【0046】第1及び第2の水平走査回路34a及び34bには、それぞれ第1及び第2の動作パルス ϕ_{OPS1} 及び ϕ_{OPS2} が印加され、また水平走査パルス(水平クロック) ϕH とリセットパルス ϕ_{RST} が印加される。

【0047】また、画素領域30には、画素のリセットに用いる基板パルス ϕ_{SUB} が印加される。

【0048】この図5のブロック図を用いて、本例における読みとり動作の概略を説明する。

【0049】まず、垂直走査回路12に第1のスタートパルス $\phi VS1$ が印加されることにより、以後、垂直走査回路12より1行目(V_1)から順に第1の信号成分S1を読みとるためのクロックパルスが加えられる。

【0050】続いて、例えばクロックパルスがi行目までいったところで、第2のスタートパルス $\phi VS2$ が印加されて、再び垂直走査回路より1行目から順に第2の信号成分S2を読みとるためのクロックパルスが加えられる。

【0051】従って、 $n+i$ 行において第1の信号成分S1が読み出され第1の水平走査回路34aにより出力されている時に、 n 行において第2の信号成分S2が読み出され第2の水平走査回路34bにより出力される。

【0052】この場合の垂直同期駆動タイミングを図6に示す。

【0053】各垂直走査信号 $\phi V[\phi V_1, \dots, \phi V_n, \dots, \phi V_{n+i}, \dots]$ は、1垂直繰返し周期1

Vの間に2つのパルスが立ち上がるので、第1のパルス P_1 は第1のスタートパルス ϕ_{VS1} を基準に立ち上がり、第2のパルス P_2 は第2のスタートパルス ϕ_{VS2} を基準にして立ち上がる。

【0054】第2のスタートパルス ϕ_{VS2} は、第1のスタートパルス ϕ_{VS1} が立ち上がってから、時間 iH (i 倍の水平繰返し周期 H に相当する期間)経過した後に立ち上がる。従って、各垂直走査信号 ϕ_V では、その第1のパルス P_1 と第2のパルス P_2 との間の時間が iH に相当する。そして、第1のパルス P_1 で第1の信号成分 $S1$ の読み出しが行われ、第2のパルス P_2 で第2の信号成分 $S2$ の読み出しが行われる。尚、図6において、 $1H$ は1水平繰返し周期を示す。

【0055】この駆動タイミングの場合には、 n 行目の ϕ_{Vn} の第2の信号成分 $S2$ を読み出す第2のパルス P_2 と、 $n+i$ 行目の ϕ_{Vn+i} の第1の信号成分 $S1$ を読み出す第1のパルス P_1 がほぼ同時に立ち上がっている。

【0056】図6及び前述の図1より、第2の信号成分の蓄積時間、即ち第2の時間 $T2$ は、第2の信号成分を読み出す時間と画素リセットを行う時間が短いので、ほぼ1垂直繰返し周期 $1V$ に相当し、第1の信号成分の蓄積時間、即ち第1の時間 $T1$ は、1垂直繰返し周期 $1V$ から上述の iH を差し引いた時間にほぼ相当する。

【0057】尚、同じ画素からの第1の信号成分 $S1$ と第2の信号成分 $S2$ とを同時に出力することはできないので、差分信号を出力させるためには、第1の信号成分 $S1$ を一旦記憶手段、即ちメモリー等に記憶させておく必要がある。

【0058】従って、例えば図7に示すように、第1の水平信号線 $20a$ に記憶手段 22 を接続し、記憶手段 22 と、第2の水平信号線 $20b$ とを差分回路 23 に接続する。

【0059】そして、第1の信号成分 $S1$ を記憶手段 22 に記憶して、後に読み出される第2の信号成分 $S2$ と、記憶手段 22 に記憶した第1の信号成分 $S1$ とを同期させて差分回路 23 により減算処理して画素出力信号 T_{out} を得る。

【0060】次に、図3に示す本例の増幅型固体撮像素子の動作についてさらに詳しく説明する。

【0061】図8に図3の回路構成に対する水平同期タイミングチャートの一例を示す。

【0062】この例では、 n 行目の画素MOSトランジスタ 11 の第2の信号成分 $S2$ と $n+i$ 行目の画素MOSトランジスタ 11 の第1の信号成分が、同じ水平ブランキング期間 H_{BLK} において読み出される場合である。それ以外の行(即ち m 行)の画素MOSトランジスタ 11 はオフ状態となっている。

【0063】そして、画素MOSトランジスタ 11 における信号電圧、即ち画素MOSトランジスタ 11 に蓄積

された信号電荷量(ホール量)に応じたチャネルポテンシャルに相当する信号電圧の負荷容量素子 16 への読み出し動作は、水平ブランキング期間 H_{BLK} に行われる。

【0064】即ち、水平ブランキング期間 H_{BLK} の前半の期間で n 行目の画素MOSトランジスタ 11 のゲートに垂直走査信号 ϕ_{Vn} のパルス P_2 が印加される。

【0065】そして期間①で、リセットパルス ϕ_{RST} が与えられてリセットMOSスイッチ 17 がオンし、同時に第2の動作パルス ϕ_{OPS2} が与えられて、第2の動作MOSスイッチ $15b$ もオンすることで、垂直信号線 14 がリセットされ、第2の負荷容量素子 $16b$ がリセットバイアス電圧 V_{RB} にリセットされる。このとき、スイッチ 31 がオフ状態、スイッチ 32 がオン状態となることによって、画素MOSトランジスタ 11 のソース及びドレインにはリセットバイアス電圧 V_{RB} が与えられて同電位となることから、画素MOSトランジスタに電流は流れない。

【0066】次に、期間②で、リセットMOSスイッチ 17 がオフし、第2の動作MOSスイッチ $15b$ がオン状態であり、同時にスイッチ 31 がオン状態、スイッチ 32 がオフ状態となることから、画素MOSトランジスタ 11 に電流が流れ、画素MOSトランジスタ 11 の信号電圧が第2の負荷容量素子 $16b$ に保持され、選択画素(n 行)の第2の信号成分 $S2$ の読み出しがなされる。

【0067】次に、第2の信号成分 $S2$ の読み出しが終了した後、期間③で、基板パルス ϕ_{SUB} が基板に印加され、 n 行の画素MOSトランジスタ 11 に蓄積されていた電荷(ホール)が基板を通して排出される。

【0068】次に、 n 行の垂直走査信号 ϕ_{Vn} の第2のパルス P_2 がオフして n 行が非選択画素となり、水平ブランキング期間 H_{BLK} の後半の期間で $n+i$ 行目の画素MOSトランジスタ 11 のゲートに垂直走査信号の第1のパルス P_1 が印加される。そして期間④でリセットパルス ϕ_{RST} が与えられてリセットMOSスイッチ 17 がオンし、同時に、第1の動作パルス ϕ_{OPS1} が与えられ、第1の動作MOSスイッチ $15a$ もオンすることで、垂直信号線 14 がリセットされ、第1の負荷容量素子 $16a$ がリセットバイアス電圧 V_{RB} にリセットされる。このとき、前述と同様に、スイッチ 31 がオフ状態、スイッチ 32 がオン状態となることによって、画素MOSトランジスタのソース及びドレインは同電位(V_{RB})となり、画素MOSトランジスタ 11 の電流は流れない。

【0069】次に、期間⑤で、リセットMOSスイッチ 17 がオフし、第1の動作MOSスイッチ $15a$ がオン状態であり、同時にスイッチ 31 がオン状態、スイッチ 32 がオフ状態となることから、画素MOSトランジスタ 11 に電流が流れ、 $n+i$ 行の画素MOSトランジスタ 11 の信号電圧が第1の負荷容量素子 $16a$ に保持され、選択画素($n+i$ 行)の第1の信号成分 $S1$ の読み

出しがなされる。

【0070】その後、水平有効走査期間 T_A で水平シフトレジスタ19からの水平走査パルス ϕH [$\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots$]によって水平MOSスイッチ21をオンすることによって、順次 n 行の画素の第2の信号成分 S_2 が第2の水平信号線20bに流れ、また $n+i$ 行の画素の第1の信号成分 S_1 が第1の水平信号線20aに流れ、それぞれの出力回路を通じて信号電圧として出力される。

【0071】以上のように動作する。

【0072】上述のように、第1の時間 T_1 受光蓄積した後に、第1の信号成分 S_1 を読み出し、画素をリセットせずに、さらに第2の時間 T_2 受光蓄積した後に、第2の信号成分 S_2 を読み出し、第1の信号成分 S_1 と第2の信号成分 S_2 の差分をとることによって、画素の特性のバラツキによる信号成分の不均一性をキャンセルして、画素の特性のバラツキにより発生している画面の不均一性やムラを抑制することができ、良好な画像が得られる。

【0073】尚、本発明の他の応用として、第1の信号成分 S_1 が飽和していない信号成分であることを利用して、所要の信号処理をした後、上記の第1の信号成分 S_1 と第2の信号成分 S_2 を加算することにより、高ダイナミックレンジの固体撮像素子を構成することができる。

【0074】尚、上例では、水平ブランキング期間に読み出し動作を行う場合について述べたが、その他、水平有効走査期間に読み出し動作を行う場合にも本発明は適用できる。

【0075】また、上例の増幅型固体撮像素子に限らず、例えばCMD等の増幅型固体撮像素子にも本発明は適用できる。

【0076】本発明の固体撮像素子及びその駆動方法は、上述の例に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0077】

【発明の効果】上述の本発明によれば、第1の時間受光蓄積した後に、第1の信号成分を読み出し、画素をリセットせずに、さらに第2の時間受光検出した後に、第2の信号成分を読み出すことにより、その後、例えば第1及び第2の信号成分の差分をとるときは、画素の特性のバラツキによる信号成分の不均一性をキャンセルして、画素の特性のバラツキにより発生している画面の不均一性やムラざらつきを抑制することができる。また、例え

ば第1及び第2の信号成分を加算することによってダイナミックレンジの向上を図ることができる。

【0078】従って、特性が良好で、画質の良好な画像を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る増幅型固体撮像素子の実施例の垂直有効走査期間における動作フェーズを示す図である。

【図2】A、B 本発明に係る増幅型固体撮像素子における特性の異なる画素に対する信号出力を説明する図である。

【図3】本発明に係る増幅型固体撮像素子の実施例の1画素に対応する回路構成図である。

【図4】本発明に係る増幅型固体撮像素子の実施例の半導体構造の概略構成図（一部斜視図を含む断面図）である。

【図5】本発明に係る増幅型固体撮像素子の実施例の概略構成を示すブロック図である。

【図6】本発明に係る増幅型固体撮像素子の実施例の垂直同期駆動タイミングチャートである。

【図7】本発明に係る増幅型固体撮像素子の実施例の信号の出力回路の構成図である。

【図8】本発明に係る増幅型固体撮像素子の実施例の水平同期駆動タイミングチャートである。

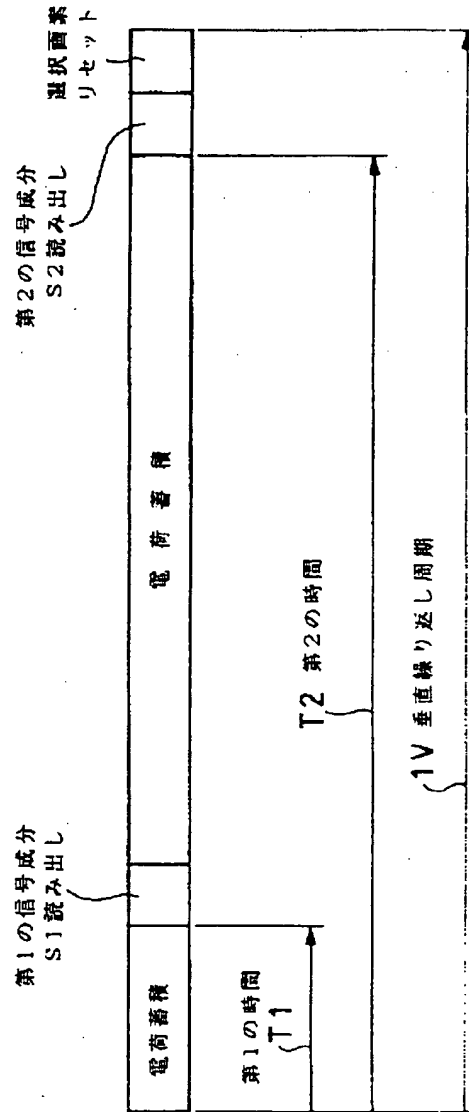
【図9】比較例の増幅型固体撮像素子の垂直有効走査期間における動作フェーズを示す図である。

【図10】A、B 比較例の固体撮像素子における特性の異なる画素に対する信号出力を説明する図である。

【符号の説明】

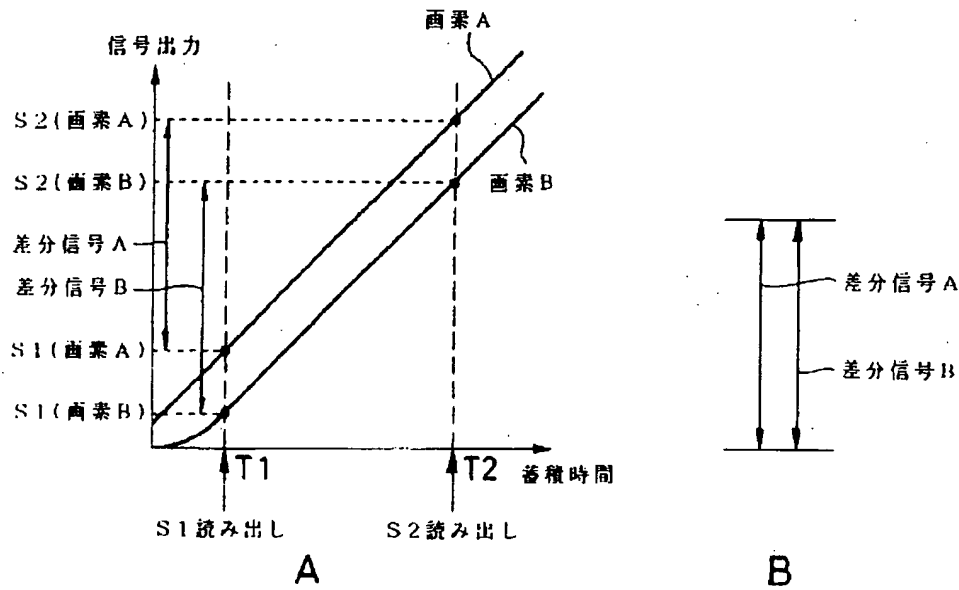
1 ゲート電極、2 ソース領域、3 ドレイン領域、4 半導体基板、5 オーバーフローバリア領域、6 p型半導体領域、7 チャネルストップ領域、8 センサ領域、9 ゲート絶縁膜、10 増幅型固体撮像素子、11 画素MOSトランジスタ、12 垂直走査回路、13 垂直選択線、14 垂直信号線、15 動作MOSスイッチ、16 負荷容量素子、17 リセットMOSスイッチ、18 リセットバイアス電圧供給端子、19 水平シフトレジスタ、20 水平信号線、21 水平MOSスイッチ、22 記憶手段、23 差分回路、30 画素領域、31、32 スイッチ、34 水平走査回路、V 垂直繰り返し周期、 T_1 第1の時間、 T_2 第2の時間、 S_1 第1の信号成分、 S_2 第2の信号成分、 H_{BLK} 水平ブランキング期間、 T_A 水平有効走査期間、 H 水平繰り返し周期、 P_1 第1のパルス、 P_2 第2のパルス

【図1】

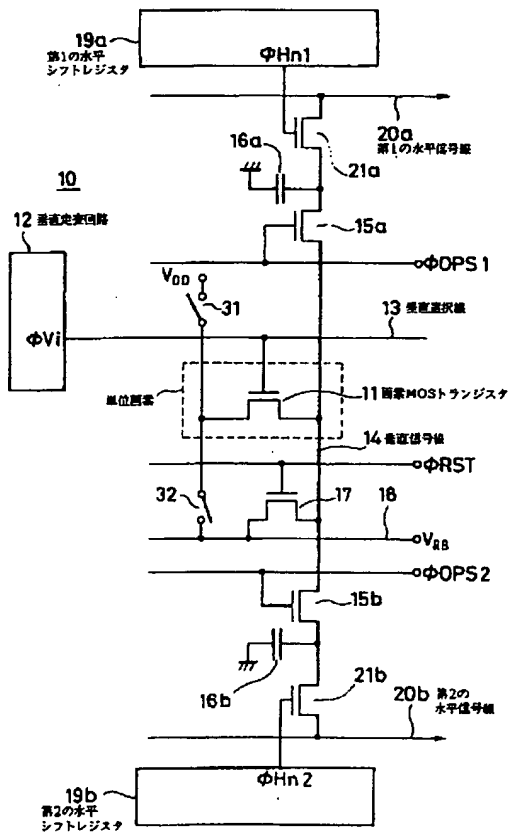


実施例の動作フローチャート

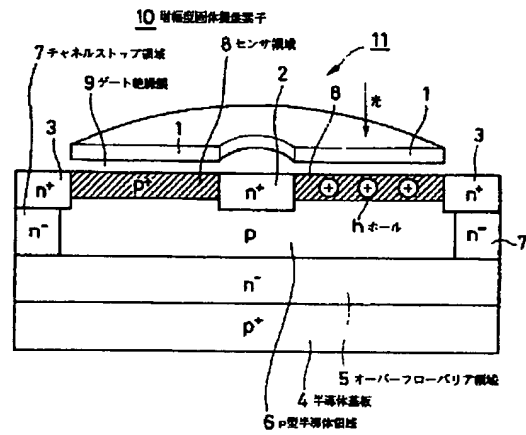
【図2】



【図3】

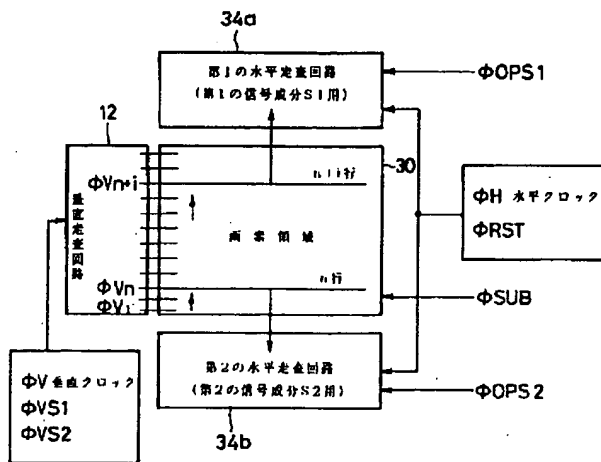


【図4】



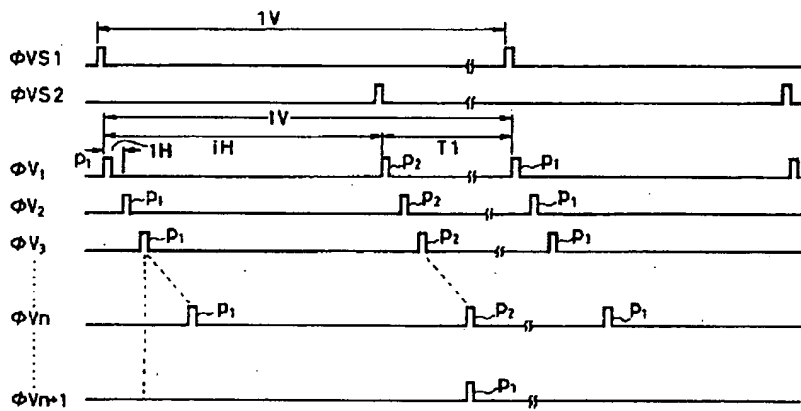
実施例の構成図

【図5】

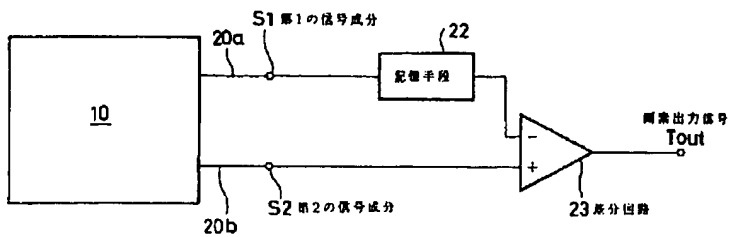


実施例のブロック図

【图6】

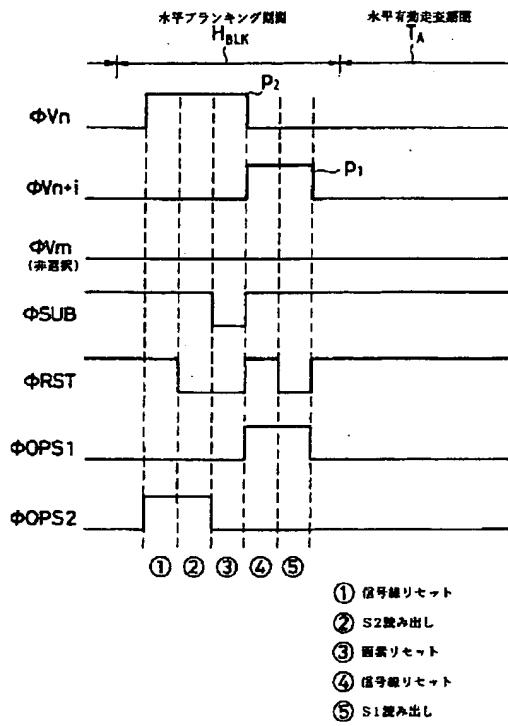


【図7】



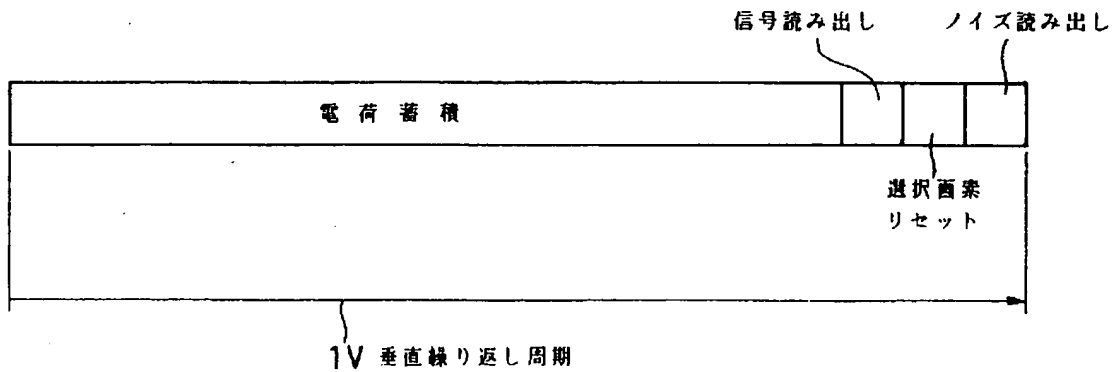
信号の出力回路の構成図

【図8】



実施例の水平同期タイミングチャート

【図9】



比較例の動作フェーズ

【図10】

